

## 基于 FPGA 的高速采样电路设计与测试

陆 浩<sup>1,2</sup>, 王振占<sup>1</sup>

(1 中国科学院空间科学与应用研究中心, 北京 100190; 2 中国科学院研究生院, 北京 100049)

**摘 要:** 提出利用 Xilinx 公司新一代现场可编程门阵列(FPGA)—Virtex5 芯片对超高速模数转换器 ADC08D1500 的控制和数据处理方法, 实现了 ADC08D1500 高速稳定的工作和高速被采信号的降速处理, 以解决工程中系统采样速率和采样精度问题, 详细介绍了布线制板需要注意的特殊问题, 最后给出了通过 chipscope 软件得到的被采信号图, 结果显示 ADC08D1500 性能出色具有高于 6.5bit 有效位数, 设计在工程实践中已经得到使用, 并取得了良好的效果。

**关键词:** 超高速采样; ADC08D1500 芯片; FPGA 芯片; 多路复用

**中图分类号:** TP274

**文献标识码:** A

**文章编号:** 1000-7180(2011)07-0106-04

## Design and Test of High Speed Sampling Circuit Based on FPGA

LU Hao<sup>1,2</sup>, WANG Zhen-zhan<sup>1</sup>

(1 Center for Space Science and Applied Research, Chinese Academy of Sciences, Beijing 100190 China;

2 Graduate University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** A method of controlling and data processing for ADC08D1500 by the newest Field-Programmable Gate Array (FPGA)—Virtex5 from Xilinx is given. High rate and high precision of sampling problems in project are resolved by completing steady working and speed-reducing of ADC08D1500. The special points which should be resolved circuit print in are given in detail. At last, a result of sampling with the converter is offered by chipscope software. ADC8D1500 has an impressive performance with more than 6.5 bit ENOB. In engineering practice, this design has been used and has performed well.

**Key words:** high speed sample; ADC08D1500; FPGA; demux

### 1 引言

随着现在半导体技术和 PCB 技术发展, 在现在信号处理中已经广泛地将中频数字化甚至射频数字化应用到工程领域。例如在高速全极化数字微波辐射计中就直接采样高速至 2GHz 的模拟极化信号然后作数据处理。在高端电子设计领域, 为了实现电子产品设计模块化、变换灵活性等特点, 把 RF 或者射频信号直接数字化。随着数字信号处理的前端向模拟方向推移, 不可避免的带来诸如 PCB 布线, ADC 高速采样和集成电路处理速度不匹配等问题。为了解决这些问题不仅要在布板、走线等硬件电路设计

上综合考虑, 还需要对高速数据流作降速提取的处理。FPGA 芯片具有速度快, 接口丰富等特点, 在高速实时信号收发和处理等方面有广泛应用。而 Xilinx 公司的 Virtex5 系列速度更高, 功耗更低, 控制能力更大。本设计中采用 XC5VLX50T-1FFG665, 其主时钟频率可以到 450MHz, I/O 口差分信号可以到 1.25GHz<sup>[1]</sup>。在 FPGA 中对高速信号进行多路复用, 将高速数据根据需要做 1 分 2 或者更高阶的降速, 达到以资源换速度的目的。

### 2 ADC 处理平台设计

ADC08D1500 是一款高性能的双路模/数转换

收稿日期: 2010-10-23; 修回日期: 2010-11-25

基金项目: 中科院“百人计划”择优支持经费

芯片.图1为ADC08D1500功能框图,其最高可以工作在1.5GHz采样率下.本设计采样率1.2GHz,8bit分辨率,输入峰峰值为870mV,全功率带宽1.7GHz<sup>[2]</sup>.ADC可以通过FPGA或者自身管脚配置设定,这里选择管脚默认配置.ADC上电 $2^{31}$ 个采样时钟周期以后自动校准.ADC内部做1:2demux,输出时钟为采样时钟的二分频,输出可以选择时钟单边或者双边传输模式,这里采用双边传输.这种方式降低了进入FPGA的时钟速率,为高速处理提供方便.ADC08D1500需要一个差分时钟输入.系统由锁相环ADF4367产生1.2GHz采样时钟.ADF4367是ADI公司推出的一款锁相环频率合成器芯片,频率范围是350~1800MHz,并且可以通过内置的输出频率二分频器,输出175~900MHz的频率.ADF4367是个集成的整数-N合成器和压控振荡器.

高速采样在实际工程应用中往往是多路信号同时采样,所以ADC的同步工作控制很重要.多个ADC的同步复位是保证ADC同步工作的主要方

法.DCLK\_RST是ADC的复位管脚,一个正脉冲可以复位和同步多片ADC的DCLK输出.复位信号必须持续四个采样时钟周期以上复位才有效.如图2所示, $t_{\text{rpw}}$ 至少为四个采样时钟周期.由FPGA控制DCLK\_RST管脚实现对两片ADC的同时复位.恢复时间 $T_{\text{ad}}$ 为3.5ns.

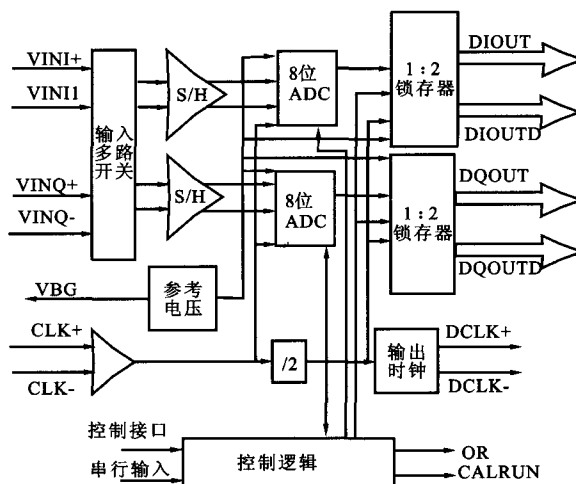


图1 ADC08D1500 功能框图

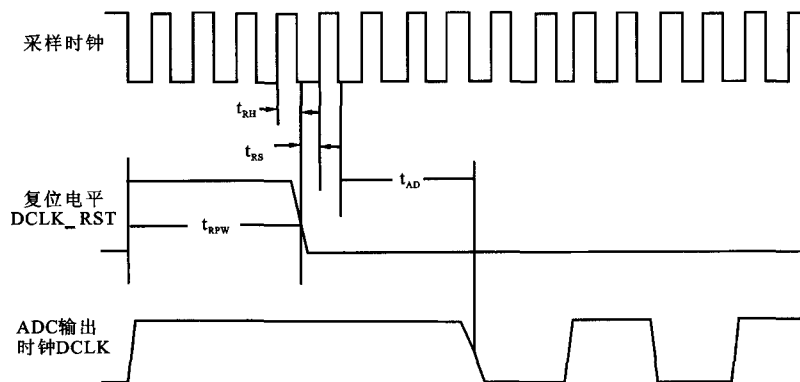


图2 DCLK\_RST 复位时序

### 3 FPGA 设计

Virtex-5系列芯片外围电路简单,只需要几个滤波电容,根据其推荐电路设计即可.内核电压上电瞬间会有较大过冲,为了不对电源芯片造成冲击损坏芯片,Xilinx推荐使用TI公司PTH05000大功率DC-DC芯片.全局时钟从GC管脚进入FPGA<sup>[3]</sup>.

如图3为FPGA接收数据内部结构图.输入端口数据为ADC中demux后的IQ两路信号.首先通过缓冲器把LVDS信号转化成单端信号.输入时钟DCLK分别通过FPGA中两个时钟高精度驱动DCM得到1/2分频和1/4分频,频率为150MHz和75MHz.随后和被采信号输入到demux模块作

复用,如图4举例给出一个ADC输入的被采信号多路复用流程.可以采用1分8的转换也可以选择进一步的复用同时需要将时钟再作降频.采用chipscope内部IP核将被采信号传输到电脑上的接收软件,由此可以测试有效位数.FPGA中设计配置ADC部分,可以完成对多个ADC的复位.

### 4 PCB 电路设计

印制板主要特点是器件密度高,要严格按照高速、模数混合电路设计理论.下面例举了设计中主要考虑的几个方面:

(1) ADC的时钟输入和数据输出都是差分电平,LVDS的驱动器由电流源组成,电流通常为3.5mA.当驱动器翻转时,改变了流经端接电阻的电流方向,

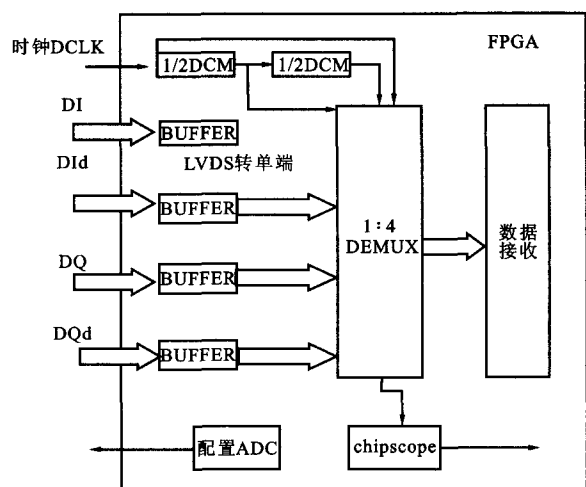


图3 FPGA接收数据内部结构图

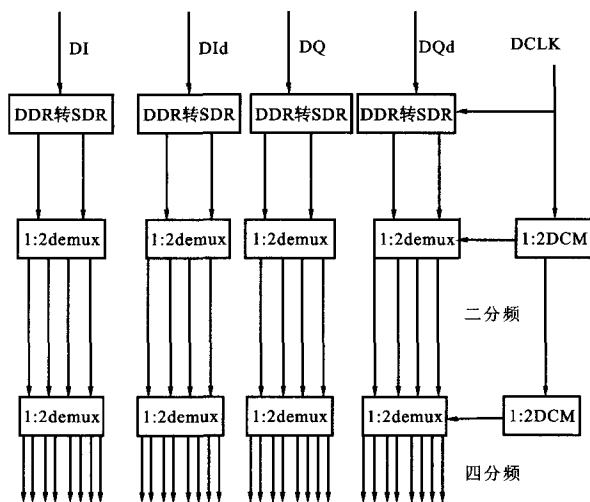


图4 FPGA内多路复用流程图

因此产生有效的逻辑1和逻辑0状态。在差分对走线中需要遵循几大原则。首先差分对之间应该保持等长,误差不得大于20mil,保证差分对的正负正好对应好,得到正确的差值。差分对和其他信号线的间距至少大于差分对间距的2倍,远离电源线,保证差分对的紧耦合和减少干扰。采用端接电阻,匹配阻抗在100Ω,误差在5Ω之间,减少发射和电磁辐射。

(2) 根据设计需要,ADC到FPGA数据流为600MHz,多个差分对之间必须采用等长布线策略,减少相位误差。布线时可以采用蛇形走线,以满足等长的需要<sup>[4]</sup>。

(3) 时钟的抖动性能对整个模块有很大的影响,直接决定了采样有效位数,对该超高速时钟设计必须充分考虑。使用差分传输时钟信号,远离其他信号线。精确匹配阻抗,在表层走线时铺铜隔离,减少干扰。

(4) 多层走线相邻两层线条尽量相互垂直,或

走斜线,大面积的电源层和大量的地层要相近,电源和地之间形成电容,起到滤波作用<sup>[5]</sup>。

(5) 信号线尽量不跨越地间隙或者分割电源之间的间隙,必须跨越时确保此信号层紧邻大面积平面层。

(6) 以每个功能电路的核心元件为中心,围绕它布局。使元器件平行排列,易于焊接。

通过以上设计考虑,在完成板级布线后可以对信号完整性进行分析,通过纠错软件对设计中遗漏的问题进行修正。

## 5 电路测试

系统中多个ADC的同步性能和实际有效位数是衡量ADC工作性能的重要指标。实验中信号都是满量程870mV的正弦波,频率分别选择310MHz、420MHz、610MHz。DI和DQ是ADC的输入。通过FPGA的Chipscope软件随机抽取四路信号各4096个采样值,然后进一步提取有效位数。实际有效位数按下式计算:

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02 \quad (1)$$

实验中不同频率输入下,两信号间的相位差低于0.3度,同步性较好。图5给出用Chipscope软件得到的420MHz频率输入下的被采信号。即通过FPGA的JTAG接口进行数据捕获,然后利用Matlab工具对数据进行分析,不需要任何的辅助电路设计,就能完成ADC的动态性能指标分析。图6为420MHz输入下I路信号用Matlab对4096个采样点作FFT分析后的频谱图。

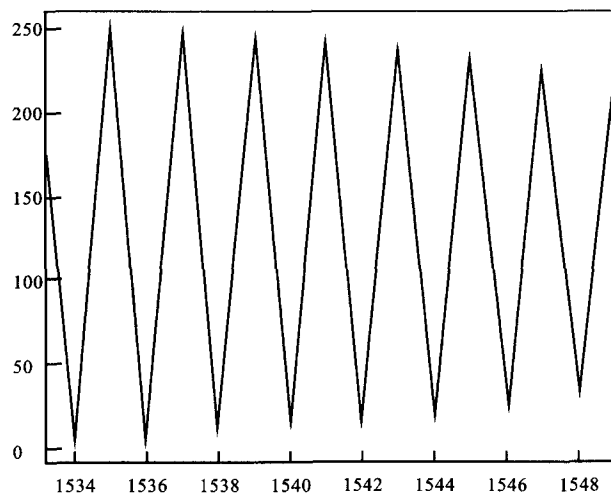


图5 610MHz四路被采信号

在不同频率输入下,其中一个ADC两路信号的有效位数如表1所示,其他具有类似精度。

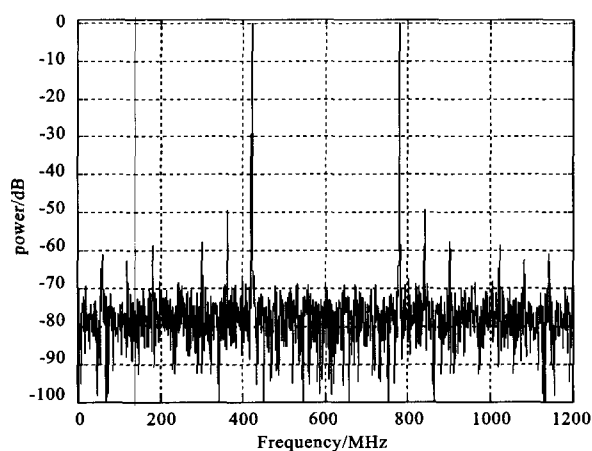


图6 420MHz输入下I路信号频谱图

表1 采样有效位数

| ENOB(bit) | 310MHz | 420MHz | 610MHz |
|-----------|--------|--------|--------|
| DI        | 6.660  | 7.266  | 6.586  |
| DQ        | 7.286  | 7.126  | 6.660  |

## 6 结束语

通过测试结果,在高达1.2GHz采样率下,ADC08D1500有效位数在6.5bit以上,有效降低高速信号频率,以资源换取了速度。FPGA控制具有灵活性和易删改特点,设计应用具有很大灵活性。本设

计方案可以在电子对抗、高分辨率雷达和全极化微波辐射计等对待采样信号带宽要求很高的领域中推广应用。

## 参考文献:

- [1] Xilinx. Virtex-5 FPGA data sheet :DC and switching characteristics [EB/OL]. [2010-03-13]. [www.xilinx.com/support/documentation/user\\_guides/DS202](http://www.xilinx.com/support/documentation/user_guides/DS202), 2009.
- [2] National Semiconductor. High performance, low power, dual 8-Bit, 1.5 GSPS A/D converter [EB/OL]. [2010-03-13]. <http://www.national.com/ds/DC/ADC08D1500.pdf>, 2007.
- [3] 田耘,徐文波,胡彬,等. Xilinx Ise Design Suite 10. x FPGA 开发指南[M]. 北京:人民邮电出版社,2008.
- [4] 肖玲妮,袁增贵. Protel 99 SE 印刷电路板设计教程[M]. 北京:清华大学出版社,2006.
- [5] 姚四改. Protel 99 SE 电子线路设计教程[M]. 上海:上海交通大学出版社,2008.

## 作者简介:

陆浩 男,(1988-),博士研究生.研究方向为高速数字相关器、极化微波辐射计研究。

王振占 男,(1969-),理学博士,研究员.研究方向为微波遥感新技术及应用技术。

(上接第105页)

## 参考文献:

- [1] Aurrecoechea C, Campbell A T, Hauw L. A survey of QoS architectures[J]. Multimedia Systems, 1998;138-151.
- [2] Erradi A, Masheshwari P. wsBus:QoS-aware middleware for reliable web services interactions [J]. IEEE Transactions on Software Engineering, 2004,30(5):311-327.
- [3] Sheth A, Cardoso J, Miller J, et al. Qos for service-oriented middleware [C]//Proceedings of the Conference on Systemics, Cybernetics and Informatics. Orlando, FL:IEEE, 2002.
- [4] Li Y, Sun K, Qiu J, et al. Self-reconfiguration of service-based systems; A case study for service level a-

greements and resource optimization [C]//IEEE International Conference on Web Services. Beijing: IEEE, 2005:266-273.

- [5] Zeng L, et al. QoS-aware middleware for web services composition[J]. IEEE Transactions on Software Engineering, 2004,30(5):311-327.

## 作者简介:

武和波 男,(1986-),硕士研究生.研究方向为分布式与可信计算。

杨志义 男,(1952-),硕士生导师.研究方向为嵌入式软件环境仿真。